

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-126483

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

G11C 11/409
G11C 11/407
H01L 27/10
H03K 19/0175

(21)Application number : 11-306602

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.10.1999

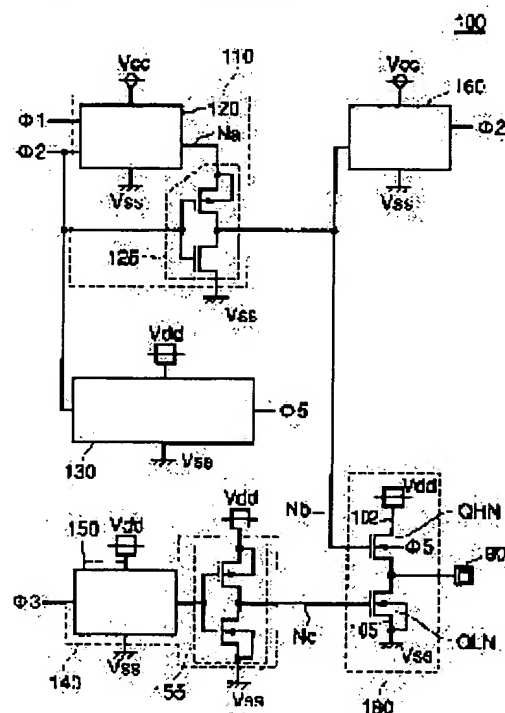
(72)Inventor : TANAKA KOJI
NAKAI JUN
TSUKIKAWA YASUHIKO
ASAKURA MIKIO

(54) DATA OUTPUT CIRCUIT, AND SEMICONDUCTOR MEMORY PROVIDED WITH THE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data output circuit which can output high level data at high speed.

SOLUTION: An output buffer 180 comprises a pull-up NMOS transistor QHN for charging a data output terminal 90 by external power source potential Vdd at the time of outputting high level data and a pull-down NMOS transistor QLN for discharging the data output terminal 90 to a ground potential Vss at the time of outputting low level data. A substrate potential of the pull-up NMOS transistor QHN is set to a higher potential level than that of a normal state at the time of outputting high level data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2001-126483

(P2001-126483A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl. ⁷	識別記号	F I	ページコード(参考)
G 1 1 C 11/409		H 0 1 L 27/10	4 8 1 5 B 0 2 4
11/407		G 1 1 C 11/34	3 5 4 Q 5 F 0 8 3
H 0 1 L 27/10	4 8 1		3 5 4 F 5 J 0 5 6
H 0 3 K 19/0175		H 0 3 K 19/00	1 0 1 F

審査請求 未請求 請求項の数15 O.L (全 21 頁)

(21)出願番号 特願平11-306602

(22)出願日 平成11年10月28日(1999.10.28)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 田中 浩司
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 中井 潤
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100064746
弁理士 深見 久郎 (外4名)

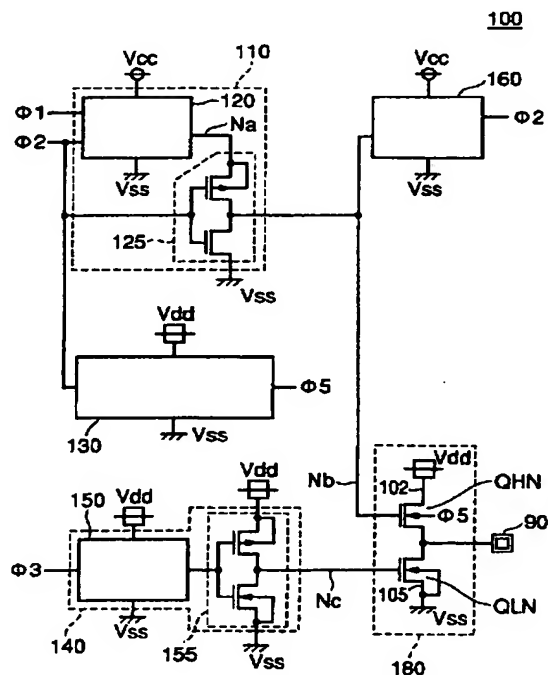
最終頁に続く

(54)【発明の名称】 データ出力回路およびそれを備える半導体記憶装置

(57) 【要約】

【課題】 ハイレベルデータを高速に出力できるデータ出力回路を提供する。

【解決手段】 出力バッファ180は、ハイレベルデータ出力時にデータ出力端子90を外部電源電位V_{dd}で充電するためのプルアップNMOSトランジスタQH_Nと、ローレベルデータ出力時にデータ出力端子90を接地電位V_{ss}に放電するためのプルダウンNMOSトランジスタQL_Nを含む。プルアップNMOSトランジスタQH_Nの基板電位は、ハイレベルデータ出力時には、通常時よりも高い電位レベルに設定される。



1

【特許請求の範囲】

【請求項1】 ハイレベルおよびローレベルの2つの状態を有するデータ信号をデータ出力ノードに出力するためのデータ出力回路であって、

第1および第2のノードの電位レベルに応じて、前記データ出力ノードの電位レベルを設定するバッファ回路を備え、

前記バッファ回路は、

前記ハイレベルに対応する第1の電位と前記データ出力ノードとの間に電氣的に結合され、第1のノードと結合されるゲートを有するプルアップNMOSトランジスタと、

前記ローレベルに対応する第2の電位と前記データ出力ノードとの間に電氣的に結合され、第2のノードと結合されるゲートを有するプルダウンNMOSトランジスタとを含み、

前記ハイレベルのデータ出力時に、前記第1の電位よりも高い昇圧電位を前記第1のノードに出力するハイレベルデータ出力制御回路と、

前記ローレベルのデータ出力時に、前記プルダウンNMOSトランジスタをオンさせることが可能な電位を前記第2のノードに出力するローレベルデータ出力制御回路と、

前記プルアップNMOSトランジスタに基板電位を供給する基板電位切換回路とをさらに備え、

前記基板電位切換回路は、前記ハイレベルのデータ出力時以外には、第1の基板電位を供給し、前記ハイレベルのデータ出力時には、前記第1の基板電位よりも高い第2の基板電位を供給する、データ出力回路。

【請求項2】 前記プルアップNMOSトランジスタは、主基板領域から電氣的に分離されたP型ウェル上に設けられ、

前記基板電位切換回路は、前記P型ウェルに、前記ハイレベルのデータ出力時以外には前記第1の基板電位を、前記ハイレベルのデータ出力時には前記第2の基板電位をそれぞれ供給し、

前記第1の基板電位は、前記プルアップNMOSトランジスタにおいて、前記P型ウェルとNチャネル領域との間でPN接合がオンしない電位レベルに設定される、請求項1記載のデータ出力回路。

【請求項3】 前記プルアップNMOSトランジスタは、主基板領域から電氣的に分離されたP型ウェル上に設けられ、

前記基板電位切換回路は、

前記ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて、前記第1および前記第2の電位のいずれか一方を内部ノードに供給するレベル変換回路と、

前記内部ノードの電位レベルに応じて、前記第1および前記第2の電位のいずれか一方と前記P型ウェルとを電

2

氣的に結合する電位供給回路とを含む、請求項1記載のデータ出力回路。

【請求項4】 前記データ出力回路は、さらに、

前記第1の電位より低く、かつ前記第2の電位よりも高い第3の電位を供給する第1の電源と、

前記第2の電位を供給する第2の電源とを備え、

前記ハイレベルデータ出力制御回路は、前記ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて前記昇圧電位を出力する昇圧電位発生回路を含み、

前記昇圧電位発生回路は、

前記ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて、第1および第2の内部ノードの電位レベルをそれぞれ設定する第1および第2の論理回路と、

前記第1の内部ノードと第1の昇圧ノードとの間に電氣的に結合される第1の昇圧キャパシタと、

前記第2の内部ノードと第2の昇圧ノードとの間に電氣的に結合される第2の昇圧キャパシタと、

前記第1の電源と前記第1の昇圧ノードとの間に電氣的に結合され、前記第1の電源と接続されるゲートを有する第1のプリチャージトランジスタと、前記第1の電源と前記第2の昇圧ノードとの間に電氣的に結合され、前記第1の電源と接続されるゲートを有する第2のプリチャージトランジスタと、

前記第1の電源と前記第2の昇圧ノードとの間に電氣的に結合され、前記第1の昇圧ノードと結合されるゲートを有する第1のNMOSトランジスタとを有し、

前記第1および前記第2の昇圧キャパシタは、蓄積型のMOSキャパシタで構成され、

前記ハイレベルデータ出力制御回路は、前記制御信号の信号レベルに応じて、前記第2の昇圧ノードと前記第2の電源とのいずれか一方を前記第1のノードと電氣的に結合するための電圧切換回路をさらに含む、請求項1記載のデータ出力回路。

【請求項5】 前記第1の昇圧キャパシタは、前記第1の内部ノードと接続されるゲートと、前記第1の昇圧ノードと接続される、ソースおよびドレインとを有するNMOSトランジスタを含み、

前記第2の昇圧キャパシタは、前記第2の内部ノードと接続されるゲートと、前記第2の昇圧ノードと接続される、ソースおよびドレインとを有するNMOSトランジスタを含む、請求項4記載のデータ出力回路。

【請求項6】 前記第1の昇圧キャパシタは、前記第1の昇圧ノードと接続されるゲートと、前記第1の内部ノードと接続される、ソースおよびドレインとを有するPMOSトランジスタを含み、

前記第2の昇圧キャパシタは、前記第2の昇圧ノードと接続されるゲートと、前記第2の内部ノードと接続される、ソースおよびドレインとを有するPMOSトランジ

10

20

30

40

50

3

スタを含む、請求項4記載のデータ出力回路。

【請求項7】 前記第1および前記第2のプリチャージトランジスタは、主基板領域から電気的に分離されたP型ウェル上に設けられるNMOSトランジスタであり、前記第1および前記第2のプリチャージトランジスタの基板電位は、前記第2の電位よりも高い電位レベルに設定される、請求項4記載のデータ出力回路。

【請求項8】 前記ハイレベルのデータ出力時に動作し、前記第1のノードの電位レベルを所定値以上に維持するための電位レベル保持回路をさらに備える、請求項1記載のデータ出力回路。

【請求項9】 前記電位レベル保持回路は、前記ハイレベルのデータ出力時に、前記第1の電位より低く前記第2の電位よりも高い第3の電位と前記第2の電位との2つの電位レベルを一定周波数の下で繰り返すパルス信号を受ける第3の内部ノードと、前記ハイレベルのデータ出力時に、前記パルス信号の反転信号を受ける第4の内部ノードと、第5の内部ノードと前記第3の内部ノードとの間に電気的に結合される第3の昇圧キャパシタと、第6の内部ノードと前記第4の内部ノードとの間に電気的に結合される第4の昇圧キャパシタと、前記第3の電位と前記第5の内部ノードとの間に電気的に結合され、前記第3の電位と接続されるゲートを有する第3のプリチャージトランジスタと、前記ハイレベルのデータ出力時に、前記第3の電位と第7の内部ノードとを電気的に結合するスイッチ回路と、前記第7の内部ノードと前記第6の内部ノードとの間に電気的に結合され、前記第5の内部ノードと結合されるゲートを有する、第2のNMOSトランジスタと、前記第6の内部ノードと前記第1のノードとの間に電気的に結合され、前記第6の内部ノードと結合されるゲートを有する、第3のNMOSトランジスタとを含む、請求項8記載のデータ出力回路。

【請求項10】 前記データ出力回路は、さらに、前記第1の電位より低く、かつ前記第2の電位よりも高い第3の電位を供給する第1の電源と、前記第2の電位を供給する第2の電源とを備え、前記ブルアップNMOSトランジスタは、主基板領域から分離された第1のP型ウェル上に設けられ、前記基板電位切換回路は、前記P型ウェルに対して、前記ハイレベルのデータ出力時以外には第1の基板電位を供給し、前記ハイレベルのデータ出力時には前記第1の基板電位よりも高い第2の基板電位を供給し、前記ハイレベルデータ出力制御回路は、前記ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて前記昇圧電位を出力する昇圧電位発生回路を含み、前記昇圧電位発生回路は、前記ハイレベルのデータ出力時に活性化される制御信号

4

に応じて、第1の内部ノードおよび第2の内部ノードの電位レベルをそれぞれ設定する第1および第2の論理回路と、

前記第1の内部ノードと第1の昇圧ノードとの間に電気的に結合され、蓄積型のMOSキャパシタで構成される第1の昇圧キャパシタと、

前記第2の内部ノードと第2の昇圧ノードとの間に電気的に結合され、蓄積型のMOSキャパシタで構成される第2の昇圧キャパシタと、

10 前記第1の電源と前記第1の昇圧ノードとの間に電気的に結合され、前記第1の電源と接続されるゲートを有する第1のプリチャージトランジスタと、

前記第1の電源と前記第2の昇圧ノードとの間に電気的に結合され、前記第1の電源と接続されるゲートを有する第2のプリチャージトランジスタと、

前記第1の電源と前記第2の昇圧ノードとの間に電気的に結合され、前記第1の昇圧ノードと接続されるゲートを有する第1のNMOSトランジスタとを有し、

20 前記第1および前記第2のプリチャージトランジスタは、主基板領域から分離された第2のP型ウェル上に設けられ、

前記ハイレベルデータ出力制御回路は、前記制御信号の信号レベルに応じて、

前記第2の昇圧ノードと前記第2の電源とのいずれか一方を前記第1のノードと電気的に結合するための電圧切換回路をさらに含み、

前記データ出力回路は、前記ハイレベルのデータ出力時において前記昇圧ノードの電位レベルを所定値以上に維持するための電位レベル保持回路をさらに備え、

30 前記電位レベル保持回路は、前記ハイレベルのデータ出力時に、前記第1の電位より低く前記第2の電位よりも高い第3の電位と前記第2の電位との2つの電位レベルを一定周波数の下で繰り返すパルス信号を受ける第3の内部ノードと、

前記ハイレベルのデータ出力時に、前記パルス信号の反転信号を受ける第4の内部ノードと、

第5の内部ノードと前記第3の内部ノードとの間に電気的に結合される第3の昇圧キャパシタと、

40 第6の内部ノードと前記第4の内部ノードとの間に電気的に結合される第4の昇圧キャパシタと、

前記第3の電位と前記第5の内部ノードとの間に電気的に結合され、前記第3の電位と接続されるゲートを有する第3のプリチャージトランジスタと、

前記ハイレベルのデータ出力時に、前記第3の電位と第7の内部ノードとを接続するスイッチ回路と、

前記第7の内部ノードと前記第6の内部ノードとの間に電気的に結合され、前記第5の内部ノードと結合されるゲートを有する、第2のNMOSトランジスタと、

50 前記第6の内部ノードと前記昇圧ノードとの間に電気的に結合され、前記第6の内部ノードと結合されるゲート

5

を有する、第3のNMOSトランジスタとを含み、
前記第3のプリチャージトランジスタと前記第2および
前記第3のNMOSトランジスタとは、前記第2のP型
ウェル上および主基板領域から分離された第3のP型ウ
ェル上のいずれかに設けられ、
前記第2および前記第3のP型ウェルの基板電位は、前
記第2の電位よりも高い電位に設定される、請求項1記
載のデータ出力回路。

【請求項11】 ハイレベルおよびローレベルの2つの
状態を有するデータ信号をデータ出力ノードに出力する
ためのデータ出力回路であって、

第1および第2のノードの電位レベルに応じて、前記デ
ータ出力ノードの電位レベルを設定するバッファ回路を
備え、

前記バッファ回路は、

前記ハイレベルに対応する第1の電位と前記データ出力
ノードとの間に電氣的に結合され、第1のノードと結合
されるゲートを有するプルアップNMOSトランジスタ
と、

前記ローレベルに対応する第2の電位と前記データ出力
ノードとの間に電氣的に結合され、第2のノードと結合
されるゲートを有するプルダウンNMOSトランジスタ
とを含み、

前記ハイレベルのデータ出力時に、前記第1の電位より
も高い昇圧電位を前記第1のノードに出力するハイレベ
ルデータ出力制御回路をさらに備え、

前記ハイレベルデータ出力制御回路は、

前記ハイレベルのデータ出力時に活性化される制御信号
の信号レベルに応じて、前記昇圧ノードに前記昇圧電位
を出力する昇圧電位発生回路と、

前記制御信号の信号レベルに応じて、前記昇圧ノードと
前記第2の電源とのいずれか一方を前記第1のノードと
電氣的に結合するための電圧切換回路とを含み、

前記ローレベルのデータ出力時に、前記プルダウンNM
OSトランジスタをオンさせることが可能な電位を前記
第2のノードに出力するローレベルデータ出力制御回路
と、

前記ハイレベルのデータ出力時に、前記昇圧ノードの電
位レベルを所定値以上に維持するための電位レベル保持
回路をさらに備える、データ出力回路。

【請求項12】 前記電位レベル保持回路は、

前記ハイレベルのデータ出力時に、前記第1の電位より
低く前記第2の電位よりも高い第3の電位と前記第2の
電位との2つの電位レベルを一定周波数の下で繰り返す
パルス信号を受ける第3の内部ノードと、

前記ハイレベルのデータ出力時に、前記パルス信号の反
転信号を受ける第4の内部ノードと、

第5の内部ノードと前記第3の内部ノードとの間に電氣
的に結合される第3の昇圧キャパシタと、

第6の内部ノードと前記第4の内部ノードとの間に電氣

6

的に結合される第4の昇圧キャパシタと、

前記第3の電位と前記第5の内部ノードとの間に電氣的
に結合され、前記第3の電位と接続されるゲートを有す
る第3のプリチャージトランジスタと、

前記ハイレベルのデータ出力時に、前記第3の電位と第
7の内部ノードとを電氣的に結合するスイッチ回路と、
前記第7の内部ノードと前記第6の内部ノードとの間に
電氣的に結合され、前記第5の内部ノードと結合される
ゲートを有する、第2のNMOSトランジスタと、

10 前記第6の内部ノードと前記昇圧ノードとの間に電氣的
に結合され、前記第6の内部ノードと結合されるゲート
を有する、第3のNMOSトランジスタとを含み、
前記第3のプリチャージトランジスタと前記第2および
前記第3のNMOSトランジスタとは、主基板領域から
分離されたP型ウェル上に設けられ、
前記P型ウェルの基板電位は、前記第2の電位よりも高
い電位に設定される、請求項11記載のデータ出力回
路。

【請求項13】 前記プルアップNMOSトランジスタ
に基板電位を供給する基板電位切換回路をさらに備え、
前記基板電位切換回路は、前記ハイレベルのデータ出力
時以外には、第1の基板電位を供給し、前記ハイレベル
のデータ出力時には、前記第1の基板電位よりも高い第
2の基板電位を供給する、請求項11記載のデータ出力
回路。

【請求項14】 前記プルアップNMOSトランジスタ
は、主基板領域から電氣的に分離されたP型ウェル上に
設けられ、

30 前記基板電位切換回路は、前記P型ウェルに対して、前
記ハイレベルのデータ出力時以外には第1の基板電位を
供給し、前記ハイレベルのデータ出力時には前記第1の
基板電位よりも高い第2の基板電位を供給し、
前記第1の基板電位は、前記プルアップNMOSトラン
ジスタにおいて、前記P型ウェルとNチャネル領域との
間でPN接合がオンしない電位レベルに設定される、請
求項13記載のデータ出力回路。

【請求項15】 ハイレベルおよびローレベルの2つの
状態を有するデータ信号を記憶するための半導体記憶装
置であって、

40 行列状に配置される複数のメモリセルを有するメモリセ
ルアレイと、

選択された前記複数のメモリセルのうちの1つから読出
された前記デジタルデータの状態に応じた電位レベル
をデータ出力ノードに出力するためのデータ出力回路と
を備え、

前記データ出力回路は、第1および第2のノードの電位
レベルに応じて、前記データ出力ノードの電位レベルを
設定するバッファ回路を含み、

前記バッファ回路は、

50 前記ハイレベルに対応する第1の電位と前記データ出力

7

ノードとの間に電氣的に結合され、第1のノードと結合されるゲートを有するプルアップNMOSトランジスタと、

前記ローレベルに対応する第2の電位と前記データ出力ノードとの間に電氣的に結合され、第2のノードと結合されるゲートを有するプルダウンNMOSトランジスタとを有し、

前記データ出力回路は、

前記ハイレベルのデータ出力時に、前記第1の電位よりも高い昇圧電位を前記第1のノードに出力する昇圧回路と、

前記ローレベルのデータ出力時に、前記プルダウンNMOSトランジスタをオンさせることが可能な電位を前記第2のノードに出力する電位供給回路と、

前記プルアップNMOSトランジスタに基板電位を供給する基板電位切換回路とをさらに含み、

前記基板電位切換回路は、前記ハイレベルのデータ出力時以外には、第1の基板電位を供給し、前記ハイレベルのデータ出力時には、前記第1の基板電位よりも高い第2の基板電位を供給する、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、データ出力回路に関し、より特定的には半導体記憶装置のデータ出力バッファとして用いられるデータ出力回路に関する。

【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) に代表される半導体記憶装置からのデータ出力は、記憶情報に応じてメモリセルに蓄積された電荷によって生じる電位差をセンスアンプ等で増幅して、ビット線、I/O線等のデータ線によって伝達し、最終段でバッファ処理してデータ端子に出力することが一般的である。この際に、データ出力回路が扱う過渡電流はかなり大きなものとなるため、出力段にP型MOSトランジスタを用いるとラッチアップが生じやすい。したがって、データ端子を充放電するトランジスタは、一般的にN型MOSトランジスタで構成される。

【0003】図21は、半導体記憶装置に用いられる従来の技術の一例であるデータ出力回路500の構成を示すブロック図である。

【0004】データ出力回路500は、ハイレベル（以下、単にHレベルと称す）／ローレベル（以下、単にLレベルと称す）の2つの状態からなるデジタルデータをデータ端子510に出力する回路であり、データ端子510の電位レベルを、Hレベルデータの出力が指示された場合には外部電源電位V_{dd}に設定し、Lレベルデータの出力が指示された場合には接地電位V_{ss}に設定する。

【0005】データ出力回路500は、データ端子510に外部電源電位V_{dd}もしくは接地電位V_{ss}を供給

8

するための出力バッファ580を備える。

【0006】出力バッファ580は、ノードN_bと結合されるゲートを有し、外部電源電位V_{dd}とデータ端子510との間に電氣的に結合される、Hレベルデータを出力するためのプルアップトランジスタQ_{Na}と、ノードN_cと結合されるゲートを有し、接地電位V_{ss}とデータ端子510との間に電氣的に結合されるLレベルデータを出力するためのプルダウントランジスタQ_{Nb}とを含む。

【0007】データ出力回路500は、さらに、Hレベルデータ出力が指示された場合にトランジスタQ_{Na}を十分にオンさせることが可能な昇圧電位をノードN_bへ出力するHレベルデータ出力制御回路110と、Lレベルデータ出力が指示された場合にトランジスタQ_{Nb}をオンさせるための電位をノードN_cへ供給するLレベルデータ出力制御回路140と、Hレベルデータ出力時にノードN_bの電位レベルを一定値以上に維持するための出力電位保持回路160とを備える。

【0008】Hレベルデータ出力制御回路110は、制御信号Φ1およびΦ2にตอบสนองして、Hレベルデータ出力時にノードN_aに内部電源電位V_{cc}よりも高い昇圧電位を出力する昇圧回路120と、制御信号Φ2にตอบสนองして、ノードN_bの電位レベルをノードN_aの電位レベルおよび接地電位V_{ss}のいずれかに設定する電位切換回路125とを含む。

【0009】Lレベルデータ出力制御回路140は、制御信号Φ3のレベル変換を実行するためのレベル変換回路150と、レベル変換回路150の出力にตอบสนองして、外部電源電位V_{dd}および接地電位V_{ss}のいずれか一方をノードN_cに出力するインバータ155とを含む。

【0010】制御信号Φ2は、Hレベルデータの出力が指示される場合に活性化（Lレベル）され、制御信号Φ3は、Lレベルデータの出力が指示される場合に活性化（Lレベル）される。制御信号Φ1は、Hレベルデータの出力に先立って昇圧回路120を活性化するために活性化（Hレベル）される。

【0011】このような構成とすることにより、Hレベルデータの出力時においては、ノードN_bに昇圧回路120により出力された昇圧電位（>V_{dd}）が出力され、ノードN_cには接地電位V_{ss}が出力される。したがって、プルアップトランジスタQ_{Na}は十分にオンされ、プルダウントランジスタQ_{Nb}はオフされる。この結果、データ端子510は、外部電源電位V_{dd}に充電される。

【0012】一方、Lレベルデータの出力時においては、ノードN_cの電位レベルは外部電源電位V_{dd}に設定され、ノードN_bの電位レベルは接地電位V_{ss}に設定される。したがって、この場合においては、プルダウントランジスタQ_{Nb}がオンされ、トランジスタQ_{Na}がオフされる。よって、データ端子510は、トランジ

スタQNbによって放電され、その電位レベルは接地電位Vssとなる。

【0013】このように、出力バッファ580を構成するプルアップトランジスタおよびプルダウントランジスタの2個のN型MOSトランジスタのゲート電位を制御することにより、Hレベル/Lレベルデータのいずれか一方をデータ端子510に出力することができる。

【0014】

【発明が解決しようとする課題】一方、半導体記憶装置においては、回路の高集積化に伴うトランジスタ耐圧の確保の観点およびバッテリー駆動等を前提とした低消費電力化の要求の観点から、低電圧動作化が進んでいる。動作電圧が低電圧化されると、N型MOSトランジスタの電流駆動能力は低下するため、低電圧化の要求の高まりとともに、データ出力回路の高速化は、ますます重要な課題となっている。

【0015】図22は、従来の技術の出力バッファ580の構造を説明するための断面図である。

【0016】図22を参照して、出力バッファ580に含まれるプルアップトランジスタQNaおよびプルダウントランジスタQNbは、P型基板領域520上に設けられるP型ウェル530に設けられる。P型ウェル530には、コンタクト532を通じて基板電位Vsubが印加される。ラッチアップの防止等の観点から、基板電位Vsubは、負電位とされることが一般的である。

【0017】トランジスタQNaおよびQNbは、共通のP型ウェル530に設けられる。トランジスタQNaは、ノードNbと接続されるゲート電極534aと、ソース/ドレイン電極に相当する、データ端子510と接続されるnチャネル領域538aおよび外部電源電位Vddと結合されるnチャネル領域536aとを有する。同様に、トランジスタQNbは、ノードNcと接続されるゲート電極534bと、ソース/ドレイン電極に相当する、接地電位Vssと結合されるnチャネル領域538bとデータ端子510と接続されるnチャネル領域536bとを有する。

【0018】このような、図22に示す従来の構造の下では、特に、Hレベルデータ出力時におけるトランジスタQNaによるデータ端子510の充電速度が問題となる。

【0019】N型MOSトランジスタにおいては、ソース電位（トランジスタQNaにおいてはデータ端子510の電位レベル）と基板電位（トランジスタQNaにおいてはP型ウェル530の電位レベル）との電位レベル差に応じて、基板効果が生じ、トランジスタのしきい電圧Vthが大きくなってしまふ。したがって、トランジスタQNaにおいては、Hレベルデータ出力時において、データ端子510の充電が開始されると、基板効果の影響によって電流駆動能力が低下し、ソース/ドレイン間電流の減少によってデータ端子510の充電を高速

に行なうことができなくなるという問題点が生じる。このような状況の下で電流駆動能力を高めてHレベルデータ出力の高速化を図るためには、サイズの大きなトランジスタをプルアップトランジスタQNaとして設ける必要があり、レイアウト面積の増大を招いてしまふ。

【0020】また、Hレベルデータ出力時には、プルアップトランジスタQNaのゲート電位、すなわちノードNbの電位レベルを十分に昇圧する必要があるが、低電圧動作化の下では、昇圧回路120によって十分な昇圧レベルを得ることが困難となる場合が生じている。昇圧回路においては、昇圧に用いる電荷を蓄積するための昇圧用キャパシタが備えられるが、このキャパシタをMOS容量で構成した場合に、低電圧化に伴ってしきい電圧Vthの影響が大きくなることから、昇圧用キャパシタの容量の使用効率が低下することがその原因である。

【0021】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、出力データのHレベル駆動を高速に実行することが可能な半導体記憶装置のデータ出力回路を提供することである。

【0022】

【課題を解決するための手段】請求項1記載のデータ出力回路は、ハイレベルおよびローレベルの2つの状態を有するデータ信号をデータ出力ノードに出力するためのデータ出力回路であって、第1および第2のノードの電位レベルに応じて、データ出力ノードの電位レベルを設定するバッファ回路を備え、バッファ回路は、ハイレベルに対応する第1の電位とデータ出力ノードとの間に電氣的に結合され、第1のノードと結合されるゲートを有するプルアップNMOSトランジスタと、ローレベルに対応する第2の電位とデータ出力ノードとの間に電氣的に結合され、第2のノードと結合されるゲートを有するプルダウンNMOSトランジスタとを含み、ハイレベルのデータ出力時に、第1の電位よりも高い昇圧電位を第1のノードに出力するハイレベルデータ出力制御回路と、ローレベルのデータ出力時に、プルダウンNMOSトランジスタをオンさせることが可能な電位を第2のノードに出力するローレベルデータ出力制御回路と、プルアップNMOSトランジスタに基板電位を供給する基板電位切換回路とをさらに備え、基板電位切換回路は、ハイレベルのデータ出力時以外には、第1の基板電位を供給し、ハイレベルのデータ出力時には、第1の基板電位よりも高い第2の基板電位を供給する。

【0023】請求項2記載のデータ出力回路は、請求項1記載のデータ出力回路であって、プルアップNMOSトランジスタは、主基板領域から電氣的に分離されたP型ウェル上に設けられ、基板電位切換回路は、P型ウェルに、ハイレベルのデータ出力時以外には第1の基板電位を、ハイレベルのデータ出力時には第2の基板電位をそれぞれ供給し、第1の基板電位は、プルアップNMOSトランジスタにおいて、P型ウェルとNチャネル領域

との間でPN接合がオンしない電位レベルに設定される。

【0024】請求項3記載のデータ出力回路は、請求項1記載のデータ出力回路であって、プルアップNMOSトランジスタは、主基板領域から電氣的に分離されたP型ウェル上に設けられ、基板電位切換回路は、ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて、第1および第2の電位のいずれか一方を内部ノードに供給するレベル変換回路と、内部ノードの電位レベルに応じて、第1および第2の電位のいずれか一方とP型ウェルとを電氣的に結合する電位供給回路とを含む。

【0025】請求項4記載のデータ出力回路は、請求項1記載のデータ出力回路であって、データ出力回路は、さらに、第1の電位より低くかつ第2の電位よりも高い第3の電位を供給する第1の電源と、第2の電位を供給する第2の電源とを備え、ハイレベルデータ出力制御回路は、ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて昇圧電位を出力する昇圧電位発生回路を含み、昇圧電位発生回路は、ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて、第1および第2の内部ノードの電位レベルをそれぞれ設定する第1および第2の論理回路と第1の内部ノードと第1の昇圧ノードとの間に電氣的に結合される第1の昇圧キャパシタと、第2の内部ノードと第2の昇圧ノードとの間に電氣的に結合される第2の昇圧キャパシタと、第1の電源と第1の昇圧ノードとの間に電氣的に結合され、第1の電源と接続されるゲートとを有する第1のプリチャージトランジスタと、第1の電源と第2の昇圧ノードとの間に電氣的に結合され、第1の電源と接続されるゲートとを有する第2のプリチャージトランジスタと、第1の電源と第2の昇圧ノードとの間に電氣的に結合され、第1の昇圧ノードと結合されるゲートとを有する第1のNMOSトランジスタとを有し、第1および第2の昇圧キャパシタは、蓄積型のMOSキャパシタで構成され、ハイレベルデータ出力制御回路は、制御信号の信号レベルに応じて、第2の昇圧ノードと第2の電源とのいずれか一方を第1のノードと電氣的に結合するための電圧切換回路をさらに含む。

【0026】請求項5記載のデータ出力回路は、請求項4記載のデータ出力回路であって、第1の昇圧キャパシタは、第1の内部ノードと接続されるゲートと、第1の昇圧ノードと接続される、ソースおよびドレインとを有するNMOSトランジスタを含み、第2の昇圧キャパシタは、第2の内部ノードと接続されるゲートと、第2の昇圧ノードと接続される、ソースおよびドレインとを有するNMOSトランジスタを含む。

【0027】請求項6記載のデータ出力回路は、請求項4記載のデータ出力回路であって、第1の昇圧キャパシタは、第1の昇圧ノードと接続されるゲートと、第1の

内部ノードと接続される、ソースおよびドレインとを有するPMOSトランジスタを含み、第2の昇圧キャパシタは、第2の昇圧ノードと接続されるゲートと、第2の内部ノードと接続される、ソースおよびドレインとを有するPMOSトランジスタを含む。

【0028】請求項7記載のデータ出力回路は、請求項4記載のデータ出力回路であって、第1および第2のプリチャージトランジスタは、主基板領域から電氣的に分離されたP型ウェル上に設けられるNMOSトランジスタであり、第1および第2のプリチャージトランジスタの基板電位は、第2の電位よりも高い電位レベルに設定される。

【0029】請求項8記載のデータ出力回路は、請求項1記載のデータ出力回路であって、ハイレベルのデータ出力時に動作し、第1のノードの電位レベルを所定値以上に維持するための電位レベル保持回路をさらに備える。

【0030】請求項9記載のデータ出力回路は、請求項8記載のデータ出力回路であって、電位レベル保持回路は、ハイレベルのデータ出力時に、第1の電位より低く第2の電位よりも高い第3の電位と第2の電位との2つの電位レベルを一定周波数の下で繰り返すパルス信号を受ける第3の内部ノードと、ハイレベルのデータ出力時に、パルス信号の反転信号を受ける第4の内部ノードと、第5の内部ノードと第3の内部ノードとの間に電氣的に結合される第3の昇圧キャパシタと、第6の内部ノードと第4の内部ノードとの間に電氣的に結合される第4の昇圧キャパシタと、第3の電位と第5の内部ノードとの間に電氣的に結合され、第3の電位と接続されるゲートとを有する第3のプリチャージトランジスタと、ハイレベルのデータ出力時に、第3の電位と第7の内部ノードとを電氣的に結合するスイッチ回路と、第7の内部ノードと第6の内部ノードとの間に電氣的に結合され、第5の内部ノードと結合されるゲートとを有する、第2のNMOSトランジスタと、第6の内部ノードと第1のノードとの間に電氣的に結合され、第6の内部ノードと結合されるゲートとを有する、第3のNMOSトランジスタとを含む。

【0031】請求項10記載のデータ出力回路は、請求項1記載のデータ出力回路であって、データ出力回路は、さらに、第1の電位より低く、かつ第2の電位よりも高い第3の電位を供給する第1の電源と、第2の電位を供給する第2の電源とを備え、プルアップNMOSトランジスタは、主基板領域から分離された第1のP型ウェル上に設けられ、基板電位切換回路は、P型ウェルに対して、ハイレベルのデータ出力時以外には第1の基板電位を供給し、ハイレベルのデータ出力時には第1の基板電位よりも高い第2の基板電位を供給し、ハイレベルデータ出力制御回路は、ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて昇圧電位を出

13

力する昇圧電位発生回路を含み、昇圧電位発生回路は、ハイレベルのデータ出力時に活性化される制御信号に応じて、第1の内部ノードおよび第2の内部ノードの電位レベルをそれぞれ設定する第1および第2の論理回路と、第1の内部ノードと第1の昇圧ノードとの間に電気的に結合され、蓄積型のMOSキャパシタで構成される第1の昇圧キャパシタと、第2の内部ノードと第2の昇圧ノードとの間に電気的に結合され、蓄積型のMOSキャパシタで構成される第2の昇圧キャパシタと、第1の電源と第1の昇圧ノードとの間に電気的に結合され、第1の電源と接続されるゲートを有する第1のプリチャージトランジスタと、第1の電源と第2の昇圧ノードとの間に電気的に結合され、第1の電源と接続されるゲートを有する第2のプリチャージトランジスタと、第1の電源と第2の昇圧ノードとの間に電気的に結合され、第1の昇圧ノードと接続されるゲートを有する第1のNMOSトランジスタとを有し、第1および第2のプリチャージトランジスタは、主基板領域から分離された第2のP型ウェル上に設けられ、ハイレベルデータ出力制御回路は、制御信号の信号レベルに応じて、第2の昇圧ノードと第2の電源とのいずれか一方を第1のノードと電気的に結合するための電圧切換回路をさらに含み、データ出力回路は、ハイレベルのデータ出力時において昇圧ノードの電位レベルを所定値以上に維持するための電位レベル保持回路をさらに備え、電位レベル保持回路は、ハイレベルのデータ出力時に、第1の電位より低く第2の電位よりも高い第3の電位と第2の電位との2つの電位レベルを一定周波数の下で繰り返すパルス信号を受ける第3の内部ノードと、ハイレベルのデータ出力時に、パルス信号の反転信号を受ける第4の内部ノードと、第5の内部ノードと第3の内部ノードとの間に電気的に結合される第3の昇圧キャパシタと、第6の内部ノードと第4の内部ノードとの間に電気的に結合される第4の昇圧キャパシタと、第3の電位と第5の内部ノードとの間に電気的に結合され、第3の電位と接続されるゲートを有する第3のプリチャージトランジスタと、ハイレベルのデータ出力時に、第3の電位と第7の内部ノードとを接続するスイッチ回路と、第7の内部ノードと第6の内部ノードとの間に電気的に結合され、第5の内部ノードと結合されるゲートを有する、第2のNMOSトランジスタと、第6の内部ノードと昇圧ノードとの間に電気的に結合され、第6の内部ノードと結合されるゲートを有する、第3のNMOSトランジスタとを含み、第3のプリチャージトランジスタと第2および第3のNMOSトランジスタとは、第2のP型ウェル上および主基板領域から分離された第3のP型ウェル上のいずれかに設けられ、第2および第3のP型ウェルの基板電位は、第2の電位よりも高い電位に設定される。

【0032】請求項11記載のデータ出力回路は、ハイレベルおよびローレベルの2つの状態を有するデータ信

14

号をデータ出力ノードに出力するためのデータ出力回路であって、第1および第2のノードの電位レベルに応じて、データ出力ノードの電位レベルを設定するバッファ回路を備え、バッファ回路は、ハイレベルに対応する第1の電位とデータ出力ノードとの間に電気的に結合され、第1のノードと結合されるゲートを有するプルアップNMOSトランジスタと、ローレベルに対応する第2の電位とデータ出力ノードとの間に電気的に結合され、第2のノードと結合されるゲートを有するプルダウンNMOSトランジスタとを含み、ハイレベルのデータ出力時に、第1の電位よりも高い昇圧電位を第1のノードに出力するハイレベルデータ出力制御回路をさらに備え、ハイレベルデータ出力制御回路は、ハイレベルのデータ出力時に活性化される制御信号の信号レベルに応じて、昇圧ノードに昇圧電位を出力する昇圧電位発生回路と、制御信号の信号レベルに応じて、昇圧ノードと第2の電源とのいずれか一方を第1のノードと電気的に結合するための電圧切換回路とを含み、ローレベルのデータ出力時に、プルダウンNMOSトランジスタをオンさせることが可能な電位を第2のノードに出力するローレベルデータ出力制御回路と、ハイレベルのデータ出力時に、昇圧ノードの電位レベルを所定値以上に維持するための電位レベル保持回路をさらに備える。

【0033】請求項12記載のデータ出力回路は、請求項11記載のデータ出力回路であって、電位レベル保持回路は、ハイレベルのデータ出力時に、第1の電位より低く第2の電位よりも高い第3の電位と第2の電位との2つの電位レベルを一定周波数の下で繰り返すパルス信号を受ける第3の内部ノードと、ハイレベルのデータ出力時に、パルス信号の反転信号を受ける第4の内部ノードと、第5の内部ノードと第3の内部ノードとの間に電気的に結合される第3の昇圧キャパシタと、第6の内部ノードと第4の内部ノードとの間に電気的に結合される第4の昇圧キャパシタと、第3の電位と第5の内部ノードとの間に電気的に結合され、第3の電位と接続されるゲートを有する第3のプリチャージトランジスタと、ハイレベルのデータ出力時に、第3の電位と第7の内部ノードとを電気的に結合するスイッチ回路と、第7の内部ノードと第6の内部ノードとの間に電気的に結合され、第5の内部ノードと結合されるゲートを有する、第2のNMOSトランジスタと、第6の内部ノードと昇圧ノードとの間に電気的に結合され、第6の内部ノードと結合されるゲートを有する、第3のNMOSトランジスタとを含み、第3のプリチャージトランジスタと第2および第3のNMOSトランジスタとは、主基板領域から分離されたP型ウェル上に設けられ、P型ウェルの基板電位は、第2の電位よりも高い電位に設定される。

【0034】請求項13記載のデータ出力回路は、請求項11記載のデータ出力回路であって、プルアップNMOSトランジスタに基板電位を供給する基板電位切換回

15

路をさらに備え、基板電位切換回路は、ハイレベルのデータ出力時以外には、第1の基板電位を供給し、ハイレベルのデータ出力時には、第1の基板電位よりも高い第2の基板電位を供給する。

【0035】請求項14記載のデータ出力回路は、請求項13記載のデータ出力回路であって、プルアップNMOSトランジスタは、主基板領域から電気的に分離されたP型ウェル上に設けられ、基板電位切換回路は、P型ウェルに対して、ハイレベルのデータ出力時以外には第1の基板電位を供給し、ハイレベルのデータ出力時には第1の基板電位よりも高い第2の基板電位を供給し、第1の基板電位は、プルアップNMOSトランジスタにおいて、P型ウェルとNチャネル領域との間でPN接合がオンしない電位レベルに設定される。

【0036】請求項15記載の半導体記憶装置は、ハイレベルおよびローレベルの2つの状態を有するデータ信号を記憶するための半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、選択された複数のメモリセルのうちの1つから読出されたデジタルデータの状態に応じた電位レベルをデータ出力ノードに出力するためのデータ出力回路とを備え、データ出力回路は、第1および第2のノードの電位レベルに応じて、データ出力ノードの電位レベルを設定するバッファ回路を含み、バッファ回路は、ハイレベルに対応する第1の電位とデータ出力ノードとの間に電気的に結合され、第1のノードと結合されるゲートを有するプルアップNMOSトランジスタと、ローレベルに対応する第2の電位とデータ出力ノードとの間に電気的に結合され、第2のノードと結合されるゲートを有するブルダウンNMOSトランジスタとを有し、データ出力回路は、ハイレベルのデータ出力時に、第1の電位よりも高い昇圧電位を第1のノードに出力する昇圧回路と、ローレベルのデータ出力時に、ブルダウンNMOSトランジスタをオンさせることが可能な電位を第2のノードに出力する電位供給回路と、プルアップNMOSトランジスタに基板電位を供給する基板電位切換回路とをさらに含み、基板電位切換回路は、ハイレベルのデータ出力時以外には、第1の基板電位を供給し、ハイレベルのデータ出力時には、第1の基板電位よりも高い第2の基板電位を供給する。

【0037】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中における同一符号は、同一または相当部分を示す。

【0038】【実施の形態1】図1は、本発明の実施の形態1に従うデータ出力回路を備える半導体記憶装置1000の全体構成を示すブロック図である。

【0039】図1を参照して、半導体記憶装置1000は、行列状に配置された複数のメモリセルを有するメモリセルアレイ10を備える。メモリセルアレイ10にお

16

いて、メモリセルの各行に対応してワード線が設けられ、メモリセルの各行に対応してビット線が設けられる。図1には、行列状に配置される複数のメモリセルのうちの1個を代表的にMCとして示し、それに対応するワード線WLおよびビット線BLの配置について示している。

【0040】半導体記憶装置1000は、さらに、メモリセルの行および列を選択するためのアドレス信号の各ビットA0～Ai (i:自然数)を受けるアドレス入力端子20と、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WE等の制御信号を受ける制御信号入力端子30と、制御信号入力端子30に入力された各制御信号を受けて、半導体記憶装置1000全体における読出・書込・リフレッシュ動作等を制御する制御回路35と、アドレス信号の各ビットA0～Aiを受けて内部アドレス信号を発生するアドレスバッファ25とを備える。

【0041】アドレスバッファ25によって出力される内部アドレス信号は、ロウデコーダ40およびコラムデコーダ50に伝達され、内部アドレス信号に応答したメモリセル行および列の選択が実行される。

【0042】半導体記憶装置1000は、さらに、コラムデコーダによって選択されたメモリセル列との間でのデータの授受および読出されたデータの増幅を実行するためのセンスアンプ回路45と、センスアンプ回路との間でデータを伝達するI/O線55と、I/O線55に生じた電位差を増幅するためのプリアンプ60と、プリアンプ60で増幅された読出データに回答して、データ出力端子90にHレベル/Lレベルデータを出力するためのデータ出力回路100とを備える。

【0043】半導体記憶装置1000は、さらに、データ入力端子95に入力された書込データを受ける入力バッファ70と、入力バッファ70に伝達された書込データをI/O線を通じてメモリセルに書込むためのライトドライバ75をさらに含む。

【0044】図1においては、データ入力端子95とデータ出力端子90とを独立に配置する構成を示したが、読出データおよび書込データの伝達を共通して行なうグローバルI/O線を設けて、データ入力端子とデータ出力端子とを共通とすることも可能である。

【0045】データ読出時においては、ロウデコーダ40およびコラムデコーダ50によって選択されたメモリセルに記憶されたデータが、センスアンプ回路45によって増幅されてI/O線55を通じて伝達される。I/O線55に伝達されたデータは、プリアンプ60で増幅され、プリアンプ60の出力に応じて、データ出力回路は、Hレベル/Lレベルデータをデータ出力端子90に出力する。

【0046】半導体記憶装置1000は、さらに、外部

17

電源電位 V_{dd} を受ける電源入力端子82と、接地電位 V_{ss} を受ける電源端子84とを備える。電源端子より入力された外部電源電位 V_{dd} および接地電位 V_{ss} より、内部電源電位 V_{cc} が、電圧降下回路 (VDC) 85によって生成され、また、P型基板に与えられる基板電位 V_{sub} が、基板電位発生回路87によって生成される。ラッチアップの防止等の観点から、基板電位 V_{sub} は、負電位とされることが一般的である。

【0047】図2は、本発明の実施の形態1に従うデータ出力回路100の全体構成を示すブロック図である。

【0048】図2を参照して、データ出力回路100は、Hレベルデータの出力が指示される期間において活性化 (Lレベル) される制御信号 $\Phi 2$ およびLレベルデータの出力が指示される期間において活性化 (Lレベル) される制御信号 $\Phi 3$ に応じて、データ出力端子90の電位レベルを外部電源電位 V_{dd} および接地電位 V_{ss} の一方に設定する。

【0049】データ出力回路100は、ノードNbおよびNcの電位レベルに応じて、外部電源102および接地配線105のいずれか一方によってデータ出力端子90を充放電するための出力バッファ180を備える。出力バッファ180は、ノードNbと結合されるゲートを有し外部電源102とデータ出力端子90との間に電氣的に結合されるプルアップトランジスタQNHと、ノードNcと結合されるゲートを有しデータ出力端子90と接地配線105との間に電氣的に結合されるプルダウントランジスタQNLとを含む。

【0050】データ出力回路100は、さらに、Hレベルデータの出力が指示された場合において、プルアップトランジスタQNHをオンさせるための電位をノードNbに出力するためのHレベルデータ出力制御回路110と、Lレベルデータの出力が指示された場合において、プルダウントランジスタQNLをオンさせるための電位レベルをノードNcに出力するためのLレベルデータ出力制御回路140と、Hレベルデータ出力時においてノードNbの電位レベルを一定レベル以上に保持するための昇圧電位保持回路160と、Hレベルデータの出力が指示される期間において、プルアップトランジスタQNHの基板電位を切換えるための基板電位切換回路130とを備える。

【0051】以下に、各回路の構成を詳細に説明する。図3は、Hレベルデータ出力制御回路110の構成を説明する回路図である。

【0052】図3を参照して、Hレベルデータ出力制御回路110は、ノードNaに昇圧電位を出力するための昇圧回路120と、制御信号 $\Phi 2$ に応答して、ノードNbの電位レベルを切換えるための電位切換回路125とを含む。

【0053】昇圧回路120は、制御信号 $\Phi 1$ および $\Phi 2$ に応じて結果をノードN1に出力するための論理回路

18

L G10と、ノードN1とN2との間に接続される昇圧キャパシタC1と、ノードN2を予めプリチャージするためのトランジスタQN10と、ノードN2から内部電源104に向かう方向を順方向としてダイオード接続されるトランジスタQN12およびQN14を有する。

【0054】昇圧回路120は、さらに、制御信号 $\Phi 2$ の反転信号をノードN3に伝達するためのインバータ群IV12~IV14と、ノードN3とノードNaとの間に接続される昇圧キャパシタC2と、ノードN2と接続されるゲートを有し内部電源102とノードNaとを電氣的に結合するために設けられるトランジスタQN16と、ノードNaを予めプリチャージするために設けられるトランジスタQN20と、ノードNaから内部電源104に向かう方向を順方向としてダイオード接続されるトランジスタQN22~QN26を含む。

【0055】制御信号 $\Phi 1$ は、制御信号 $\Phi 2$ の活性化に先立って活性化 (Hレベル) される。

【0056】昇圧回路120の動作をタイミングチャートを用いて説明する。図5は、データ出力回路100の各部の動作波形を示すタイミングチャートである。

【0057】図5を参照して、時刻t1において、制御信号 $\Phi 2$ の活性化に先立って、制御信号 $\Phi 1$ が活性化 (Hレベル) される。

【0058】制御信号 $\Phi 1$ が活性化される時刻t1以前において、ノードN2は、トランジスタQN10によって、 $V_{cc} - V_{th}$ (V_{th} : N型MOSトランジスタのしきい電圧) にプリチャージされ、ノードNaは、トランジスタQN20によって、同様に $V_{cc} - V_{th}$ にプリチャージされている。一方、このタイミングにおいては、ノードN1およびノードN3の電位レベルは V_{ss} であるので、昇圧キャパシタC1およびC2に電荷が蓄積される。

【0059】制御信号 $\Phi 1$ の活性化に応答して、ノードN1の電位レベルはLレベル (V_{ss}) からHレベル (V_{cc}) に変化する。一方、ノードN3の電位レベルは、制御信号 $\Phi 2$ の反転状態であり、Lレベル (V_{ss}) のままである。

【0060】ノードN1の電位レベルが V_{ss} から V_{cc} に変化するにより、ノードN2の電位レベルは、内部電源電位 V_{cc} から昇圧キャパシタC1に蓄積された電荷によって昇圧され、その電位レベルは $V_{cc} - V_{th} + \Delta V_1$ まで上昇する。これにより、トランジスタQN16は十分にオンし、ノードNaの電位レベルは、プリチャージレベルの $V_{cc} - V_{th}$ から V_{cc} まで上昇する。

【0061】次に、時刻t2において、Hレベルデータを出力するために制御信号 $\Phi 2$ が活性化されると、ノードN1の電位レベルがLレベル (V_{ss}) に変化するとともに、ノードN3の電位レベルは、 V_{ss} レベルから V_{cc} レベルに変化する。これに応じて、ノードN2の

19

電位レベルは、再び、プリチャージレベルの $V_{cc}-V_{th}$ に低下する。一方、ノードNaの電位レベルは、昇圧キャパシタC2に蓄積された電荷によって、 $V_{cc}+\Delta V_2$ まで昇圧される。したがって、制御信号 ϕ_2 が活性化されている期間において、ノードNaには、昇圧電位($V_{cc}+\Delta V_2$)が供給される。

【0062】時刻t3において、再び制御信号 ϕ_2 が非活性化(Hレベル)されると、ノードN1の電位レベルが V_{cc} レベルに、ノードN3の電位レベルがLレベル(V_{ss} レベル)に変化するので、これに応じて、ノードN2の電位レベルおよびノードNaの電位レベルは、時刻t1における変化と同様に、 $V_{cc}-V_{th}+\Delta V_1$ および V_{cc} にそれぞれ変化する。

【0063】このような構成とすることにより、昇圧回路120は、制御信号 ϕ_2 の活性化期間において、ノードNaの電位レベルを、昇圧電位($V_{cc}+\Delta V_2$)に設定する。

【0064】再び、図3を参照して、電位切換回路125は、ノードNaとノードNbとの間に電氣的に結合される、P型MOSトランジスタQP30と、ノードNbと接地配線105との間に電氣的に結合されるN型MOSトランジスタQN30とを有する。トランジスタQP30およびQN30のゲートには、制御信号 ϕ_2 が与えられる。

【0065】電位切換回路125は、制御信号 ϕ_2 の活性化期間(Lレベル)においては、トランジスタQP30のオンによってノードNaに供給された昇圧電位をノードNbに伝達する。一方、制御信号 ϕ_2 の非活性化期間(Hレベル)においては、電位切換回路125は、トランジスタQN30のオンによって接地電位 V_{ss} をノードNbに伝達する。

【0066】図4は、Lレベルデータ出力制御回路140の構成を示す回路図である。図4を参照して、Lレベルデータ出力制御回路140は、制御信号 ϕ_3 をレベル変換するためのレベル変換回路150と、レベル変換回路150の出力を反転して、ノードNcに外部電源電位 V_{dd} および接地電位 V_{ss} のうちの一方をノードNcに出力するインバータ155とを含む。

【0067】レベル変換回路150は、制御信号 ϕ_3 を反転出力するインバータIV50と、制御信号 ϕ_3 およびその反転信号を入力とするトランジスタQP52、QP54、QN52およびQN54を有する。

【0068】レベル変換回路150は、制御信号 ϕ_3 が非活性状態(Hレベル： V_{cc})である場合には外部電源電位 V_{dd} を出力し、制御信号 ϕ_3 が活性状態(Lレベル： V_{ss})である場合には接地電位 V_{ss} を出力する。

【0069】インバータ155は、外部電源102とノードNcとを電氣的に結合するために設けられるP型MOSトランジスタQP55と、ノードNcと接地配線1

20

05とを電氣的に結合するために設けられるN型MOSトランジスタQN55とを有する。トランジスタQP55およびQN55のゲートには、レベル変換回路150の出力が与えられる。

【0070】このような構成とすることにより、接地電位 V_{ss} ～内部電源電位 V_{cc} の振幅を有する制御信号 ϕ_3 を、外部電源電位 V_{dd} ～接地電位 V_{ss} の振幅にレベル変換して、ノードNcに反転出力することができる。よって、ノードNcの電位レベルは、制御信号 ϕ_3 の活性化期間(Lレベル)においては、外部電源電位 V_{dd} に設定され、それ以外の場合には、接地電位 V_{ss} に設定される。

【0071】図6は、基板電位切換回路130の構成を示す回路図である。図6を参照して、基板電位切換回路130は、レベル変換回路135と、インバータ137とを含む。レベル変換回路135は、図4で説明したレベル変換回路150と同様の構成を有し、内部電源電位 V_{cc} ～接地電位 V_{ss} の振幅を有する制御信号 ϕ_2 に応じて、外部電源電位 V_{dd} および接地電位 V_{ss} の一方を出力する。

【0072】インバータ137は、外部電源102と接地配線105との間に直列に接続されるトランジスタQP45およびQN45を有する。トランジスタQP45およびQN45のゲートには、レベル変換回路135の出力が与えられる。トランジスタQP45およびQN45のドレインが結合されたノードから、制御信号 ϕ_5 が出力される。したがって、制御信号 ϕ_5 は、制御信号 ϕ_2 の振幅レベルを変換し、かつ反転した信号となる。

【0073】図5を再び参照して、制御信号 ϕ_5 は、制御信号 ϕ_2 の活性期間においては、 V_{ss} レベルに設定され、制御信号 ϕ_2 の活性化(Lレベル)期間、すなわちHレベルデータの出力期間において、外部電源電位 V_{dd} に設定される。制御信号 ϕ_2 が再び非活性化(Hレベル)され、続いてLレベルデータを出力する場合には、制御信号 ϕ_3 は V_{ss} レベルとなる。制御信号 ϕ_5 は、出力バッファ180中のプルアップトランジスタQNHの基板電位として印加される。

【0074】以上説明したHレベルデータ出力制御回路110およびLレベルデータ出力制御回路140によって、データNbおよびNcの電位レベルが制御され、データ出力端子90の電位レベル V_{dat} は、制御信号 ϕ_2 の活性化に応答してHレベル(外部電源電位 V_{dd})に設定され、制御信号 ϕ_3 の活性化に応答してLレベル(接地電位 V_{ss})に設定される。制御信号 ϕ_2 および ϕ_3 の両方が非活性状態(Hレベル)である場合には、出力バッファ中のトランジスタQNHおよびQNLのいずれもオフ状態とされるので、データ出力端子はハイインピーダンス状態(Hi-Z)とされる。

【0075】図7は、出力バッファ180の構造の一例を説明するための断面図である。図7を参照して、プル

21

アップトランジスタQNHは、P型基板領域200からN型ウェル192aによって分離されたP型ウェル194a上に配置される。

【0076】トランジスタQHNは、ノードNbと接続されるゲート電極195aと、ソース/ドレイン電極に相当する、データ端子90と接続されるnチャネル領域197aおよび外部電源電位Vddと結合されるnチャネル領域196aとを有する。

【0077】P型ウェル194aには、基板電位切換回路130によって出力される制御信号Φ5がボディコンタクト198aを介して印加される。

【0078】したがって、ブルアップトランジスタQNHの基板電位は、Hレベルデータの出力時においては、外部電源電位Vddに設定され、それ以外の場合においては、接地電位Vssに設定される。Hレベルデータの出力時において、トランジスタQNHの基板電位を高レベルの電位に切換えることによって、トランジスタQNHのソースに相当するnチャネル領域197aの電位レベルが上昇しても、基板効果によるしきい電圧Vthの上昇を抑えることができる。

【0079】この結果、Hレベルデータの出力時において、同一サイズのブルアップトランジスタQHNによって、より多くの出力電流を供給することが可能となる。よって、Hレベルデータ出力時において、基板効果に起因して出力スピードの低下を招くといった問題点が解決され、トランジスタサイズの拡大を伴うことなく高速にデータ出力を行なうことが可能となる。

【0080】図7においては、Hレベルデータ出力時における基板電位（制御信号Φ5のHレベル電位）を外部電源電位Vddとしているが、この電位レベルは、P型ウェル194aと隣接するn型領域との間でPN接合がオンしない範囲で任意に選ぶことができる。本実施の形態においては、トランジスタQNHのドレインに相当するnチャネル領域196aが外部電源電位Vddと結合されていることを考慮して、制御信号Φ5のHレベルをVddとしたものである。

【0081】N型ウェル192aには、P型ウェル194aをP型基板領域200から電氣的に分離するために、P型ウェル194aとN型ウェル192aとの間および、P型基板領域200とN型ウェル192aとの間でPN接合がオンしないように選択される電位が印加される。

【0082】図7においては、N型ウェル192aに対してP型ウェル194aと同様の制御信号Φ5を与えることにより、P型ウェル194aをP型基板領域200から電氣的に分離している。

【0083】また、Lレベルデータ出力時においては、データ出力端子90の電位レベルは、接地電位Vssレベルまで低下するため、制御信号Φ5のLレベルは、この場合においても、P型ウェル194aとn型チャネル

22

197aとの間でPN接合がオンしない範囲に選択する必要がある。したがって、図7においては、制御信号Φ5のLレベル電位を、接地電位Vssレベルとしている。

【0084】逆に言えば、上述した範囲内で、制御信号Φ5のHレベル電位およびLレベル電位は任意に設定することが可能である。

【0085】図7においては、ブルダウントランジスタQNLも、P型基板領域200から電氣的に分離した独立のP型ウェル194b上に形成される。

【0086】トランジスタQNLは、ノードNcと接続されるゲート電極195bと、P型ウェル194b上に配置される、データ出力端子90と接続されドレインに相当するnチャネル領域196bと、接地配線105と接続されソースに相当するnチャネル領域197bとを有する。P型ウェル194bには、接地電位Vssにボディコンタクト198bを介して印加される。

【0087】また、N型ウェル192bには、PN接合をオンさせないために、外部電源電位Vddが印加される。

【0088】図8は、昇圧電位保持回路160の構成を示す回路図である。図8を参照して、昇圧電位保持回路160は、リングオシレータ170を含む。

【0089】リングオシレータ170は、接地電位Vss～内部電源電位Vccの振幅を有する一定周波数のパルス状の信号を、制御信号Φ4として出力する。

【0090】昇圧電位保持回路160は、さらに、制御信号Φ2の反転信号と制御信号Φ4とを2入力とするNAND演算結果をノードN6に出力する論理ゲートLG60と、制御信号Φ2の反転信号と制御信号Φ4とのAND演算結果をノードN5に出力する論理回路LG62とを含む。

【0091】ノードN5およびN6は、制御信号Φ2が非活性状態（Hレベル）である場合には、いずれもLレベル（Vssレベル）に固定され、制御信号Φ2が活性化（Lレベル）されている場合においては、ノードN5には、制御信号Φ4と同位相の信号が出力され、ノードN6には、制御信号Φ4の反転信号が出力される。

【0092】昇圧電位保持回路160は、さらに、ノードN6とノードN7との間に結合される昇圧キャパシタC3と、内部電源104とノードN7との間に接続されるプリチャージトランジスタQN62と、ノードN7から内部電源104に向かう方向を順方向としてダイオード接続されるトランジスタQN64およびQN66と、ノードN9と内部電源104との間に電氣的に結合されゲートに制御信号Φ2を受けるP型トランジスタQP60とを含む。したがって、ノードN7は、ノードN6の電位レベルがVssレベルであるときには、Vcc-Vthレベルにプリチャージされ、制御信号Φ2の活性化時においては、制御信号Φ4に応じて、パルス状に昇圧

される。

【0093】昇圧電位保持回路160は、さらに、ノードN5とノードN8との間に結合される昇圧キャパシタC4と、ノードN7が接続されるゲートを有しノードN9とノードN8とを電気的に結合するために設けられるN型MOSトランジスタQN68と、ノードN7と接続されるゲートを有しノードN7とノードNbとを電気的に結合するために設けられるN型トランジスタQNTとをさらに含む。

【0094】このような構成とすることにより、ノードN8は、制御信号Φ2の活性化に応じたトランジスタQP60のオンおよびノードN7の昇圧に応じて、内部電源電位Vccレベルまで充電され、その後は、制御信号Φ4の変化に応じて、パルス状に昇圧される。トランジスタQNTは、ノードN8からノードNbに向かう方向にダイオード接続されており、プルアップトランジスタQNHのゲートに接続されるノードNbの電位レベルが、ノードN8の電位レベルより低下した場合に、ノードNbに電流を供給する。

【0095】したがって、電流リーク等の発生によって、Hレベルデータ出力時に、ノードNbの電位レベルが低下し、データ出力端子90の電位レベルVdatが低下した場合においても、トランジスタQNTのオンによって、ノードNbに電流を供給してその電位レベルを復帰させることが可能となる。

【0096】図9は、昇圧電位保持回路160の動作を説明するためのタイミングチャートである。

【0097】図9を参照して、時刻t1において制御信号Φ2が活性化される。これに応じて、ノードN5およびノードN6に、制御信号Φ4に応答した電位レベルが設定されるようになる。また、トランジスタQP60がオンし、ノードN9の電位レベルが内部電源電位Vccレベルに変化する。

【0098】次に、時刻t2において、制御信号Φ4がHレベルからLレベルに変化すると、ノードN6の電位レベルはHレベルに変化するため、ノードN7の電位レベルはプリチャージレベルVcc-Vthに、昇圧キャパシタC3による昇圧電位を加えた電位レベル(Vcc-Vth+ΔV3)となる。これにより、トランジスタQN68がオンし、ノードN8の電位レベルは上昇を始める。

【0099】時刻t3において、制御信号Φ4がLレベルからHレベルに変化すると、ノードN6の電位レベルはHレベルからLレベルに変化し、昇圧キャパシタC3に再び電荷が蓄えられる。一方、ノードN6の電位レベルはLレベルからHレベルに上昇するため、ノードN8の電位が、昇圧キャパシタC4に蓄えられた電荷によって昇圧され、Vccから、Vcc+ΔV4に昇圧される。以降、制御信号Φ2が活性化されている期間においては、制御信号Φ4の状態の変化に伴って、ノードN7

およびノードN8の電位レベルは、交互に昇圧される。

【0100】したがって、ノードN8の電位レベルは、内部電源電位Vcc以上に昇圧された状態となるので、ノードNbの電位レベルがノードN8の昇圧電位レベルよりも低下した場合には、トランジスタQNTのオンにより、速やかに電流を供給してノードNbの電位レベルを回復することが可能となる。

【0101】これにより、ノードNbに電流リークが発生した場合においても、安定的にHレベルデータを出力することが可能となる。

【0102】[実施の形態2] 実施の形態2においては、低電圧動作化の下でも、十分な昇圧レベルを確保することが可能な昇圧回路の構成について説明する。

【0103】実施の形態2の昇圧回路の回路構成は、実施の形態1で示した昇圧回路120の構成と同様である。実施の形態2の昇圧回路においては、回路中に含まれる昇圧キャパシタC1およびC2の構成に特徴がある。

【0104】図10は、反転型NMOSキャパシタで構成された昇圧キャパシタを説明する図である。

【0105】図10(a)を参照して、昇圧キャパシタC1の対向する電極は、それぞれノードN2およびN1と接続される。同様に、昇圧キャパシタC2の対向する電極は、ノードNbおよびノードN3とそれぞれ接続される。

【0106】図10(b)は、昇圧キャパシタC1の構造を示す断面図である。ここでは、代表的に昇圧キャパシタC1の場合について説明する。

【0107】図10(b)を参照して、昇圧キャパシタC1は、P型基板領域200上のP型ウェル210に設けられたN型MOSトランジスタを有する。昇圧キャパシタC1は、ノードN1と結合されるnチャネル領域214および216と、ノードN2と結合されるゲート電極218とを有する。P型ウェル210には、ボディコンタクト212を介して基板電位Vsubが印加される。

【0108】図3で説明したように、昇圧のための電荷を蓄積する場合においては、ノードN1が低レベル電位に設定され、ノードN2は高レベル電位に設定される。したがって、この場合には、ゲート電極218に高レベル電位が印加され、ソース/ドレインであるnチャネル領域には低レベル電位が印加される。

【0109】したがって、昇圧キャパシタC1は、ゲート直下の領域に、チャンネルを形成した状態で容量を確保する。よって、キャパシタC1のキャパシタンスは、N型MOSトランジスタのしきい電圧Vthの影響を大きく受け、特に低電圧動作化の下、ゲート電極216に印加される電位レベルが十分確保できない場合には、キャパシタンスを大きくとることができない。この結果、昇圧キャパシタC1に蓄積される電荷量は減少するた

25

め、十分な昇圧電位を発生することができなくなるおそれがある。

【0110】実施の形態2においては、このような問題を解消するために、昇圧回路中の昇圧キャパシタC1およびC2を、蓄積型MOSキャパシタによって構成する。

【0111】昇圧回路以外の構成および動作については実施の形態1で説明したデータ出力回路100と同様であるので説明は繰返さない。

【0112】図11は、蓄積型PMOSキャパシタによって構成される昇圧キャパシタを説明する図である。

【0113】図11(a)を参照して、昇圧キャパシタC1は、電荷蓄積時においてLレベル電位に設定されるノードN1に接続されるソースおよびドレインと、電荷蓄積時においてHレベルに設定されるノードN2に接続されるゲートとを有する。同様に、昇圧キャパシタC2は、電荷蓄積時においてLレベル電位に設定されるノードN3に接続されるソースおよびドレインと、電荷蓄積時においてHレベルに設定されるノードNaに接続されるゲートとを有する。

【0114】図11(b)においては、代表的に昇圧キャパシタC1について説明する。蓄積型PMOSキャパシタである昇圧キャパシタC1は、P型基板領域200上のN型ウェル220上に設けられるP型MOSトランジスタを含む。このP型MOSトランジスタは、ノードN2と接続されるゲート電極226と、ソース/ドレインにそれぞれ相当する、ノードN1に接続されるpチャネル領域223および224を有する。N型ウェル220は、ボディコンタクト228を介して、ノードN1と接続される。

【0115】昇圧キャパシタC1において、ノードN2を昇圧するための電荷を蓄積する場合を考えると、ノードN2は高レベルに設定され、ノードN1は低レベルに設定される。したがって、電荷の蓄積時においては、蓄積型PMOSキャパシタのゲート直下の領域には多数キャリア（電子）が蓄積され、この蓄積された多数キャリアによって、昇圧キャパシタC1のキャパシタンスが確保される。

【0116】このように蓄積型PMOSキャパシタで構成された昇圧キャパシタC1は、低電圧動作化の下においても、しきい電圧 V_{th} の影響を受けることなく、容量値を確保することができる。

【0117】図12は、蓄積型NMOSキャパシタによって構成される昇圧キャパシタを説明する図である。

【0118】図12(a)を参照して、昇圧キャパシタC1は、電荷蓄積時においてLレベル電位に設定されるノードN1に接続されるゲートと、電荷蓄積時においてHレベルに設定されるノードN2に接続されるソースおよびドレインとを有する。同様に、昇圧キャパシタC2は、電荷蓄積時においてLレベル電位に設定されるノ

26

ードN3に接続されるゲートと、電荷蓄積時においてHレベルに設定されるノードNaに接続されるソースおよびドレインとを有する。

【0119】図12(b)においては、代表的に蓄積型NMOSキャパシタである昇圧キャパシタC1について説明する。昇圧キャパシタC1は、P型基板領域200からN型ウェル230によって電気的に分離されるP型ウェル240上に設けられるN型MOSトランジスタを含む。このN型MOSトランジスタは、ノードN1と接続されるゲート電極246と、ソース/ドレインにそれぞれ相当する、ノードN1に接続されるpチャネル領域243および244を有する。P型ウェル240は、ボディコンタクト248を介して、ノードN2と接続される。

【0120】昇圧キャパシタC1において、ノードN2を昇圧するための電荷を蓄積する場合には、ノードN1は低レベルに設定され、ノードN2は高レベルに設定される。したがって、電荷の蓄積時においては、蓄積型NMOSキャパシタのゲート直下の領域には多数キャリア（正孔）が蓄積され、この蓄積された多数キャリアによって、昇圧キャパシタC1のキャパシタンスが確保される。

【0121】このように、蓄積型NMOSキャパシタで構成された昇圧キャパシタC1も、低電圧動作化の下においても、しきい電圧 V_{th} の影響を受けることなく、容量値を確保することができる。

【0122】これらの蓄積型のNMOSあるいはPMOSキャパシタを用いることによって、低電圧動作下においても昇圧キャパシタに十分な量の電荷を蓄積することができる。この結果、昇圧回路は、十分な昇圧レベルを確保することができる。以上の説明は、昇圧キャパシタC1について記載したが、昇圧キャパシタC2についても同様である。

【0123】【実施の形態3】実施の形態3においては、昇圧回路を構成するN型MOSトランジスタの構造を変更することによって、より速やかな昇圧動作が可能となるようにする。

【0124】図13は、本発明の実施の形態3に従う昇圧回路320の構成を示す回路図である。

【0125】図13を参照して、昇圧回路320の回路構成は、図3で説明した昇圧回路120と比較して、その回路構成は同様であるが、点線で囲まれた領域330中に含まれるN型MOSトランジスタの構造および基板電位 V_m の電位レベルに特徴がある。

【0126】内部電源発生回路以外の構成および動作については実施の形態1で説明したデータ出力回路100と同様であるので説明は繰返さない。

【0127】図14は、図3に示した昇圧回路120中のN型MOSトランジスタの構造を説明する断面図である。

27

【0128】図14を参照して、これらのN型MOSトランジスタは、P型基板領域200上のP型ウェル350上に形成される。P型ウェル365に印加される電位、すなわちこれらのN型MOSトランジスタの基板電位は、 V_{sub} に設定される。

【0129】図15は、実施の形態3に従う昇圧回路320中のN型MOSトランジスタの構造を説明するための断面図である。

【0130】図15を参照して、図13に示す領域330中のN型MOSトランジスタは、P型基板領域200から電気的に分離されたP型ウェル365上に配置される。P型ウェル365は、N型ウェル355によってP型基板領域200から電気的に分離される。

【0131】P型基板領域200には、基板電位 V_{sub} が印加され、N型ウェル355およびP型ウェル365には、基板電位 V_m が印加される。

【0132】P型ウェル365に基板電位 V_m として内部電源電位 V_{cc} を印加することにより、領域330中のトランジスタQN10、QN16およびQN20について、P型ウェル365からソース電極を介してノードN2およびNaをプリチャージする電流経路が形成される。

【0133】これにより、トランジスタQN10、QN16およびQN20によるノードN2およびNbのプリチャージは、より速やかに実行され、昇圧回路320における昇圧動作を、より速やかに実行することが可能となる。

【0134】このようなプリチャージの高速化のみを目的とすれば、これらのノードのプリチャージに直接使用されるトランジスタQN10、QN16およびQN20のみを独立したP型ウェル上に形成し、その基板電位 V_m を内部電源電位 V_{cc} とすればよい。図13に示す回路においては、同一領域に配置される一部のトランジスタのみを独立したウェル上に形成することによりレイアウト面積が増加することを考慮し、領域330中のN型MOSトランジスタすべてを独立したP型ウェルの上に形成する構成を示している。

【0135】なお、P型ウェル365に印加される基板電位 V_m は、接地電位 V_{ss} よりも高い電位であれば、プリチャージ動作の高速化に寄与することが可能である。一方、P型ウェル365とN型チャネルMOSトランジスタのnチャネル領域においてPN接合が常にオンしないように、基板電位 V_m の上限が定められる。したがって、図15の例においては、P型ウェル365に印加される基板電位 V_m の電位レベルを内部電源電位 V_{cc} としたものである。

【0136】また、N型ウェル355については、P型ウェル365とP型基板領域200とを電気的に分離するために、これらとの間に形成されるPN接合がオンしないように印加電位を定める必要がある。したがって、

28

図15に示す例においては、N型ウェル355の印加電位を、P型ウェル365と同電位の V_m （内部電源電位 V_{cc} ）としている。

【0137】〔実施の形態4〕図16は、実施の形態4に従うデータ出力回路300の全体構成を示すブロック図である。

【0138】図16を参照して、実施の形態4に従うデータ出力回路300は、実施の形態1のデータ出力回路100と比較して、昇圧電位保持回路160に代えて、昇圧電位保持回路360を備える点で異なる。

【0139】昇圧電位保持回路360は、プリアップトランジスタQNHのゲートに接続されたノードNbの電位レベルではなく、Hレベルデータ出力時において昇圧電位出力回路から昇圧電位が出力されるノードNaの出力レベルを保持する点で異なる。

【0140】昇圧電位保持回路360以外の各回路の構成および動作については実施の形態1のデータ出力回路100の場合と同様であるので説明は繰返さない。

【0141】図17は、昇圧電位保持回路360の構成を説明する回路図である。図17を参照して、昇圧電位保持回路360は、図8に示す昇圧電位保持回路160と比較して、トランジスタQNTがノードN8とノードNaとの間に接続される点で異なる。その他の回路構成については同一であるので説明は繰返さない。

【0142】また、昇圧電位保持回路360においては、点線で囲まれた領域370中に含まれるN型MOSトランジスタの構造および基板電位 V_n の電位レベルに特徴がある。

【0143】図18は、昇圧電位保持回路160におけるN型MOSトランジスタの構造を説明するための断面図である。

【0144】図18を参照して、昇圧電位保持回路160においては、回路中のN型MOSトランジスタは、P型基板領域200と同一の基板電位 V_{sub} が印加されるP型ウェル380上に形成される。

【0145】図19は、昇圧電位保持回路360中のN型MOSトランジスタの構造を説明する断面図である。

【0146】図19を参照して、領域370中に設けられるN型MOSトランジスタは、P型基板領域200と電気的に分離されたP型ウェル385上に形成される。P型基板領域200とP型ウェル385とは、N型ウェル390によって電気的に分離される。

【0147】P型基板領域200には、基板電位 V_{sub} が印加され、P型ウェル385およびN型ウェル390には基板電位 V_n として内部電源電位 V_{cc} が印加される。このような構成とすることにより、P型ウェル380上に設けられるN型MOSトランジスタQN62、QN68およびQNTにより、P型ウェル380からノードN7へのPN接合のオンによる電流経路が形成され、この電流経路からもプリチャージ動作を行なうこと

ができる。

【0148】これにより、昇圧電位保持回路360におけるノードN7およびN8の昇圧動作を、より速やかに実行することができ、回路の応答性を向上させることが可能となる。

【0149】このようなプリチャージの高速化のみを目的とすれば、これらのノードのプリチャージに直接使用されるトランジスタQN62、QN68およびQNTのみを独立したP型ウェル上に形成し、その基板電位Vnを内部電源電位Vccとすればよい。図17に示す回路においては、同一領域に配置される一部のトランジスタのみを独立したウェル上に形成することによりレイアウト面積が増加することを考慮し、領域370中のN型MOSトランジスタすべてを独立したP型ウェルの上に形成する構成を示している。

【0150】なお、実施の形態3の場合と同様に、P型ウェル385に印加される基板電位Vnは、接地電位Vssよりも高い電位であれば、プリチャージ動作の高速化に寄与することが可能である。また一方、P型ウェル385とN型チャネルMOSトランジスタのnチャネル領域においてPN接合が常にオンしないように、この印加電位の上限が定められる。したがって、図19の例においては、P型ウェル385に印加される基板電位Vnの電位レベルを内部電源電位Vccとしたものである。

【0151】また、N型ウェル390については、P型ウェル385とP型基板領域200とを電気的に分離するために、これらとの間に形成されるPN接合がオンしないように印加電位を定める必要がある。したがって、図19に示す例においては、N型ウェル390の印加電位を、P型ウェル385と同電位のVn（内部電源電位Vcc）としている。

【0152】また、Hレベルデータの出力時においては、電位切換回路125中のP型MOSトランジスタQP30のオンによって、ノードNbは、ノードNaと電気的に結合されるため、ノードNaの電位レベルを一定値以上に保持することによって、実施の形態1のデータ出力回路100における昇圧電位保持回路160と同様の機能を担保することができる。

【0153】このように、昇圧電位保持回路が電位を保持する対象を、ノードNbからノードNaに変更して、回路中のN型MOSトランジスタの基板電位を高レベルの電位とすることによって、昇圧動作の応答性向上を図ることができる。

【0154】〔実施の形態5〕図20は、本発明の実施の形態5のデータ出力回路400の構成を示すブロック図である。

【0155】データ出力回路400は、実施の形態1から4で説明した技術をすべて具備するデータ出力回路である。

【0156】データ出力回路400は、実施の形態1に

従うデータ出力回路100と比較して、昇圧回路120に代えて実施の形態3で説明した昇圧回路320を備え、昇圧電位保持回路160に代えて、実施の形態4で説明した昇圧電位保持回路360を備える。また、昇圧回路320中の昇圧キャパシタC1およびC2は、実施の形態2で説明した蓄積型のMOSキャパシタが使用される。

【0157】なお、昇圧電位発生回路320中の領域330に設けられるN型MOSトランジスタと、昇圧電位保持回路360中の領域370に設けられるN型MOSトランジスタとが設けられるP型ウェルとは、共通とすることも独立のものとすることも可能である。

【0158】各回路の詳細な構成および動作については既に説明したとおりであるので説明は繰返さない。このような構成とすることにより、データ出力回路400においては、実施の形態1から実施の形態4で説明した効果をすべて享受するデータ出力回路を構成することが可能となる。

【0159】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0160】

【発明の効果】請求項1および3記載のデータ出力回路は、ハイレベルデータ出力時において、プルアップNMOSトランジスタの基板電位を高く設定するので、ハイレベルデータ出力時における基板効果の影響を軽減し、プルアップNMOSトランジスタのしきい電圧の上昇を防ぐことができる。この結果、ハイレベルデータ出力時においても、プルアップNMOSトランジスタの電流駆動能力の低下を防止し、高速にハイレベルデータを出力することが可能となる。

【0161】請求項2記載の半導体記憶装置は、ローレベルデータ出力時におけるプルアップNMOSトランジスタの基板電位を、プルアップNMOSトランジスタ内のPN接合がオンしない範囲に定めるので、請求項1記載のデータ出力回路が奏する効果に加えて、より安定的にデータ出力を実行することができる。

【0162】請求項記載4、5および6記載のデータ出力回路は、蓄積型のMOSキャパシタによって蓄えられた電荷によって昇圧を行なうので、印加される電圧が低い場合においても、しきい電圧の影響を受けずに容量値を確保することができる。この結果、請求項1記載のデータ出力回路が奏する効果に加えて、動作電圧が低電圧化された場合においても、昇圧電位のレベルを確保することができる。

【0163】請求項7記載のデータ出力回路は、プリチャージトランジスタ内に形成されるPN接合によっても

昇圧ノードをプリチャージできるので、請求項4記載のデータ出力回路が奏する効果に加えて、昇圧電位発生回路の応答性を向上することが可能である。

【0164】請求項8および9記載のデータ出力回路は、ハイレベルデータの出力中に第1のノードの電位レベルがリーク電流によって低下した場合においても、電位レベル保持回路によって第1のノードに電流を供給して電位レベルを復帰させることが可能である。この結果、請求項1記載のデータ出力回路が奏する効果に加えて、ハイレベルデータの出力をより安定的に実行でき

る。

【0165】請求項10記載のデータ出力回路は、昇圧電位発生回路において、蓄積型のMOSキャパシタによって蓄えられた電荷によって昇圧を行なうとともに、プリチャージトランジスタ内に形成されるPN接合によっても昇圧ノードをプリチャージできる。また、電圧レベル保持回路によって、ハイレベルデータの出力中に第1のノードの電位レベルがリーク電流によって低下した場合においても、電位レベル保持回路によって第1のノードに電流を供給して電位レベルを復帰させることがで

き、かつ、電位レベル保持回路中の第3および第4のプリチャージをNMOSトランジスタ内に形成されるPN接合によっても実行できる。この結果、請求項1記載のデータ出力回路が奏する効果に加えて、動作電圧が低電圧化された場合においても昇圧電位のレベルを確保することができ、かつ、昇圧電位発生回路の応答性を向上することが可能である。また、応答性の高い電位レベル保持回路によってハイレベルデータの出力を安定化することが可能である。

【0166】請求項11記載のデータ出力回路は、ハイレベルデータの出力中にリーク電流等が発生して昇圧ノードの電位レベル低下した場合においても、電位レベル保持回路によって昇圧ノードに電流を供給して電位レベルを復帰させることが可能である。この結果、ハイレベルデータの出力をより安定的に実行できる。

【0167】請求項12記載のデータ出力回路は、電位レベル保持回路中の第3および第4のプリチャージをNMOSトランジスタ内に形成されるPN接合によっても実行できるので、請求項11記載のデータ出力回路が奏する効果に加えて、電位レベル保持回路の応答性を向上することが可能である。

【0168】請求項13記載のデータ出力回路は、ハイレベルデータ出力時において、プルアップNMOSトランジスタの基板電位を高く設定するので、ハイレベルデータ出力時における基板効果の影響を軽減し、プルアップNMOSトランジスタのしきい電圧の上昇を防ぐことができる。この結果、請求項11記載のデータ出力回路が奏する効果に加えて、ハイレベルデータ出力時においても、プルアップNMOSトランジスタの電流駆動能力の低下を防止し、高速にハイレベルデータを出力するこ

とが可能となる。

【0169】請求項14記載のデータ出力回路は、ローレベルデータ出力時におけるプルアップNMOSトランジスタの基板電位を、プルアップNMOSトランジスタ内のPN接合がオンしない範囲に定めるので、請求項13記載のデータ出力回路が奏する効果に加えて、より安定的にデータ出力を実行することができる。

【0170】請求項15記載の半導体記憶装置は、ハイレベルデータ出力時において、データ出力プルアップNMOSトランジスタの基板電位を高く設定するデータ出力回路を有するので、ハイレベルデータ出力時における基板効果の影響を軽減し、プルアップNMOSトランジスタのしきい電圧の上昇を防ぐことができる。この結果、ハイレベルデータ出力時においても、プルアップNMOSトランジスタの電流駆動能力の低下を防止し、高速にハイレベルデータを出力することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うデータ出力回路を備える半導体記憶装置1000の全体構成を示すブロック図である。

【図2】 データ出力回路100の全体構成を示すブロック図である。

【図3】 Hレベルデータ出力制御回路110の構成を示す回路図である。

【図4】 Lレベルデータ出力制御回路140の構成を示す回路図である。

【図5】 データ出力回路100の動作を説明するタイミングチャートである。

【図6】 基板電位切換回路130の構成を示す回路図である。

【図7】 出力バッファ180の構造の一例を説明するための断面図である。

【図8】 昇圧電位保持回路160の構成を示す回路図である。

【図9】 昇圧電位保持回路160の動作を説明するタイミングチャートである。

【図10】 反転型N型MOSキャパシタによって構成された昇圧キャパシタを説明する図である。

【図11】 蓄積型P型MOSキャパシタによって構成された昇圧キャパシタを説明する図である。

【図12】 蓄積型N型MOSキャパシタによって構成された昇圧キャパシタを説明する図である。

【図13】 実施の形態3に従う昇圧回路320の構成を示す回路図である。

【図14】 昇圧回路120におけるN型MOSトランジスタの構造を説明する断面図である。

【図15】 昇圧回路320中のN型MOSトランジスタの構造の一例を説明する断面図である。

【図16】 実施の形態4に従うデータ出力回路300の全体構成を示すブロック図である。

33

【図17】 出力電位保持回路360の構成を示す回路図である。

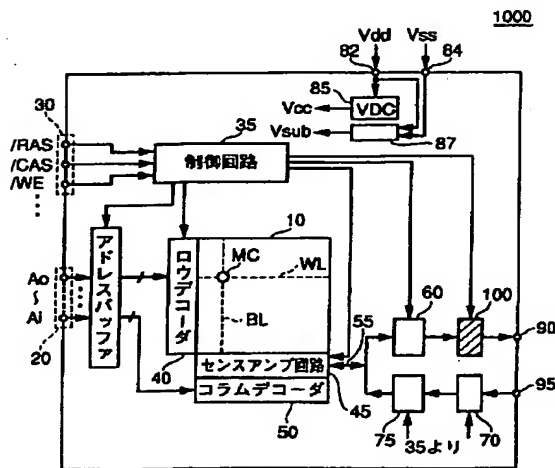
【図18】 昇圧電位保持回路160中のN型MOSトランジスタの構造の一例を説明する断面図である。

【図19】 昇圧電位保持回路360中のN型MOSトランジスタの構造を説明する断面図である。

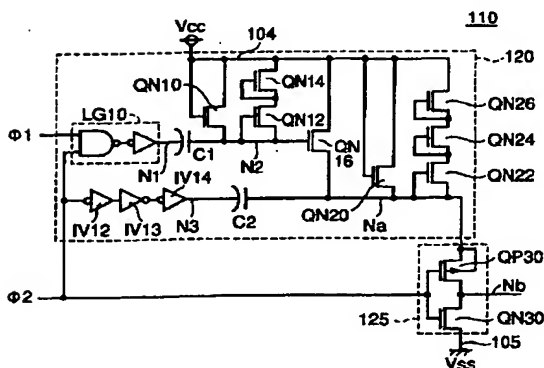
【図20】 実施の形態5に従うデータ出力回路400の全体構成を示すブロック図である。

【図21】 従来の技術のデータ出力回路500の構成を示すブロック図である。

【図1】



【図3】



34

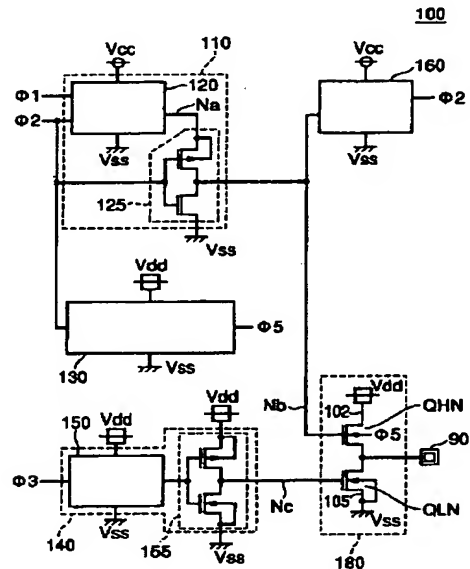
* 【図22】 出力バッファ580の構造を説明するための断面図である。

【符号の説明】

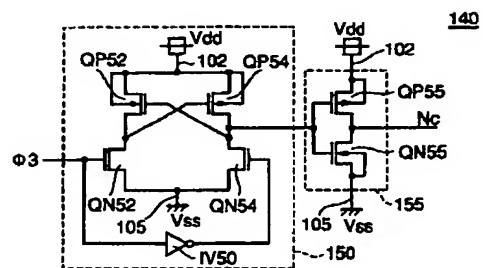
110 Hレベルデータ出力制御回路、120、320 昇圧回路、125 電位切換回路、130 基板電位切換回路、140 Lレベルデータ出力制御回路、150 電圧レベル変換回路、160、360 昇圧電位保持回路、170 リングオシレータ、180 出力バッファ、QNH プルアップトランジスタ、QNL プルダウントランジスタ。

* 10

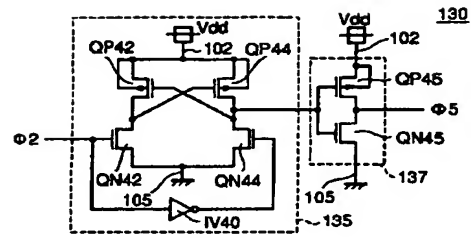
【図2】



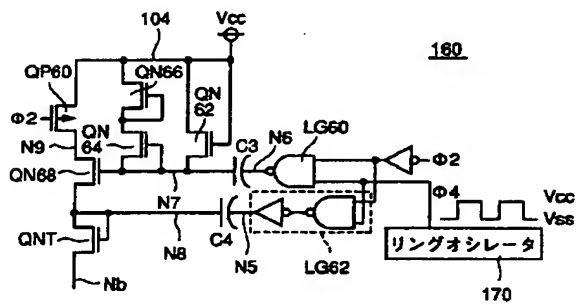
【図4】



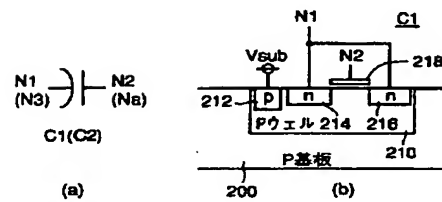
【図 6】



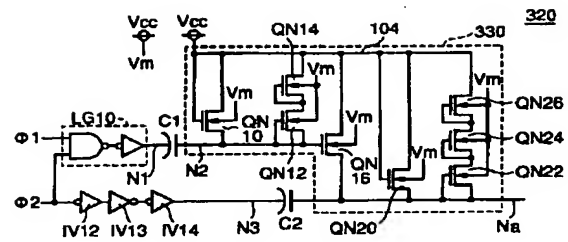
【圖 7】



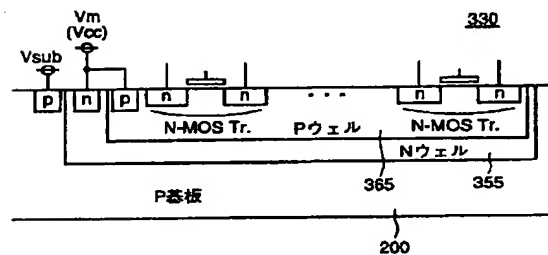
【図 10】



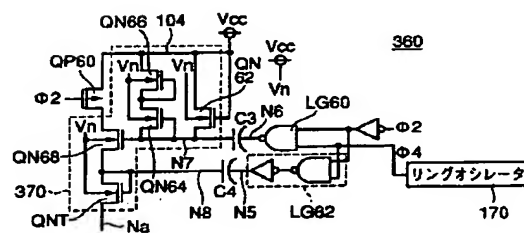
【圖 13】



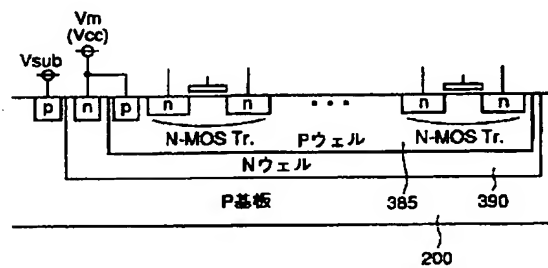
【図 15】



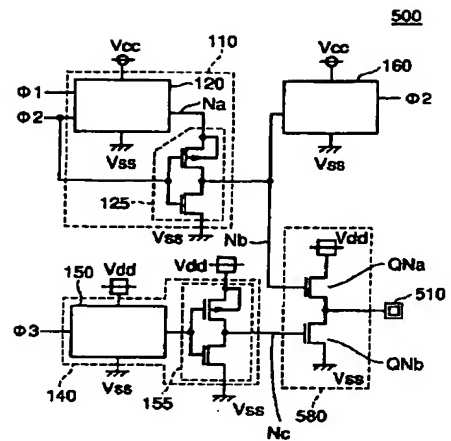
【图 17】



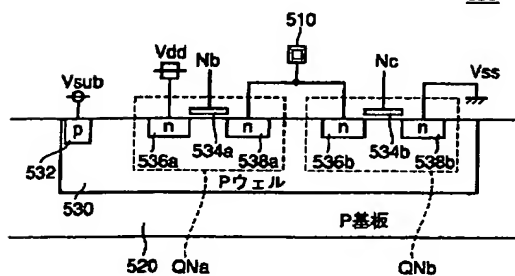
【図 18】



【図 2 1】



580



F ターム (参考)

5B024	AA15	BA27	BA29	CA07	
5F083	AD00	GA01	LA07	LA09	
5J056	AA04	AA11	BB02	CC00	CC29
	DD13	DD27	DD28	DD51	DD55
	EE04	FF07	KK00	KK02	